

PATENT ABSTRACTS OF JAPAN

(11) Publication number :

11-317623

(43) Date of publication of application : 16.11.1999

(51) Int.CL

H03B 5/32

(21) Application number : 10-122483

(71) Applicant : SEIKO EPSON CORP

(22) Date of filing : 01.05.1998

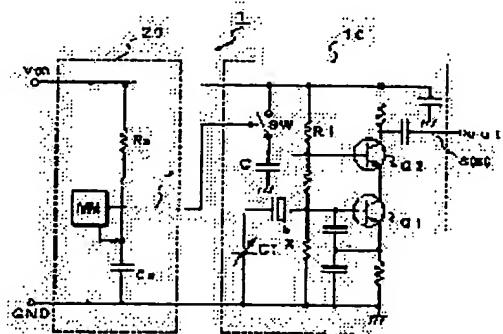
(72) Inventor : OKA MANABU

(54) PIEZOELECTRIC OSCILLATOR, OSCILLATOR ADJUSTMENT SYSTEM AND OSCILLATOR ADJUSTING METHOD

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a piezoelectric oscillation circuit which reduces the oscillation start time by a simple configuration.

SOLUTION: When a monostable multivibrator MM that constitutes a pulse generating part 20 detects the rise of a high potential side power supply VCC, it generates a control pulse P that becomes a high level for a prescribed time. A switch SW goes into an on-state, while the pulse P goes into a high level. Then, power is inputted, terminal voltage of a bypass capacitor C rises rapidly. Thus, it is possible to lead bias voltage of transistors Q1 and Q2 to a stationary state in a short time and to reduce the oscillation start time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

特開平11-317623

(43)公開日 平成11年(1999)11月16日

(51)IntCL⁹
H 03 B 5/32

識別記号

F I
H 03 B 5/32

D

審査請求 未請求 請求項の数20 O.L. (全 13 頁)

(21)出願番号 特願平10-122483

(71)出願人 000002369

(22)出願日 平成10年(1998)5月1日

セイコーホン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 岡 学

長野県諏訪市大和3丁目3番5号 セイコ
ーエン株式会社内

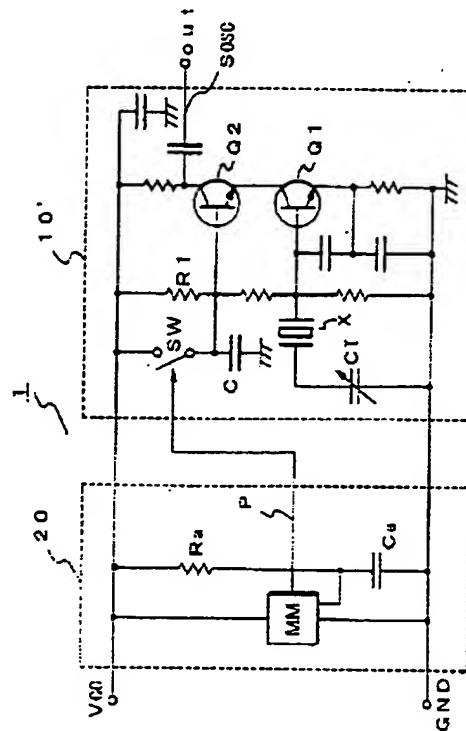
(74)代理人 弁理士 川▲崎▼ 研二 (外1名)

(54)【発明の名称】 圧電発振器、発振器調整システムおよび発振器調整方法

(57)【要約】

【課題】 発振起動時間を短縮する。

【解決手段】 パルス発生部20を構成する单安定マルチバイブレータMMは、高電位側電源VCCの立ち上がりを検出すると、所定時間ハイレベルとなる制御パルスPを生成する。スイッチSWは、制御パルスPがハイレベルの期間、オン状態となる。したがって、電源が投入されるとバイパスコンデンサCの端子電圧は急速に立ち上がる。これにより、トランジスタQ1、Q2のバイアス電圧を短時間で定常状態に導くことができ、発振起動時間を短縮することが可能となる。



【特許請求の範囲】

【請求項1】 圧電振動子とバイアス回路によって与えられるバイアス電圧で動作する半導体とを有する発振回路と、前記バイアス回路に設けられ交流をバイパスするコンデンサと電源とを短絡するスイッチ回路と、前記発振回路への給電開始から一定時間が経過するまで、前記発振回路の前記コンデンサと前記電源とを短絡するように前記スイッチ回路を制御する制御回路とを備えたことを特徴とする圧電発振器。

【請求項2】 前記制御回路は、前記発振回路への給電開始を検知して、給電開始から一定時間を計測することにより制御信号を生成し、前記スイッチ回路は、前記制御信号に基づいてオン・オフが制御されることを特徴とする請求項1に記載の圧電発振器。

【請求項3】 前記制御回路を単安定マルチバイブレータにより構成したことを特徴とする請求項1に記載の圧電発振器。

【請求項4】 前記制御回路をカウンタにより構成したことを特徴とする請求項1に記載の圧電発振器。

【請求項5】 予め定められた静電容量を有し、前記圧電振動子に接続される固定接続容量素子と、

予め定められた静電容量を有する複数の選択接続容量素子と、

前記複数の選択接続容量素子のうち、特定の前記選択接続容量素子を前記固定接続容量素子に並列に接続する容量接続回路とを備えた容量アレイを有することを特徴とする請求項1に記載の圧電発振器。

【請求項6】 前記選択接続容量素子の前記固定接続容量素子に対する接続／非接続を制御するための周波数制御データを記憶するメモリと、

外部からの調整用周波数制御データに基づいて前記メモリに予め前記周波数制御データを記憶させるとともに、前記調整用周波数制御データあるいは前記周波数制御データに基づいて前記容量接続回路を制御する接続制御回路と、

を備えたことを特徴とする請求項5に記載の圧電発振器。

【請求項7】 前記接続制御回路は、電源投入時には、一旦全ての前記選択接続容量素子を前記固定接続容量素子に対して接続状態とする起動時制御回路を備えたことを特徴とする請求項6に記載の圧電発振器。

【請求項8】 前記電源と前記コンデンサと短絡する時間と制御するデータを書き込みおよび読み出しが可能なデータ記憶回路を備え、前記制御回路は前記データ記憶回路から読み出した前記データに基づいて、前記制御信号を生成することを特徴とする請求項1に記載の圧電発振器。

【請求項9】 前記メモリには、前記周波数制御データとともに前記電源と前記コンデンサと短絡する時間を制

御するパルス制御データを記憶し、前記接続制御回路は、外部からの調整用パルス制御データに基づいて前記メモリに前記パルス制御データを予め記憶させるとともに、前記調整用パルス制御データあるいは前記パルス制御データに基づいて前記制御回路を制御することを特徴とする請求項6に記載の圧電発振器。

【請求項10】 前記発振回路がバイポーラ発振回路であることを特徴とする請求項1乃至9のうちいずれか1項に記載の圧電発振器。

【請求項11】 前記圧電振動子は、水晶振動子であることを特徴とする請求項1乃至10のうちいずれか1項に記載の圧電発振器。

【請求項12】 前記圧電振動子を除く構成部品がワンチップICとして構成されていることを特徴とする請求項1乃至11のうちいずれか1項に記載の圧電発振器。

【請求項13】 前記ワンチップICおよび前記圧電振動子が一のパッケージに収納されていることを特徴とする請求項1-2記載の圧電発振器。

【請求項14】 前記発振回路内に可変リアクタンス素子を備え、前記可変リアクタンス素子に供給する電圧を可変することによって、前記発振回路の発振周波数を調整することを特徴とする請求項1乃至10のうちいずれか1項に記載の圧電発振器。

【請求項15】 前記圧電振動子および前記可変リアクタンス素子を除く構成部品がワンチップICとして構成されていることを特徴とする請求項14に記載の圧電発振器。

【請求項16】 前記ワンチップIC、前記圧電振動子および前記可変リアクタンス素子が一体として一のパッケージに収納されていることを特徴とする請求項15記載の圧電発振器。

【請求項17】 請求項6または9に記載の圧電発振器の発振周波数を調整する発振器調整システムにおいて、前記発振回路に給電した状態で当該発振回路の発振周波数を検出する発振周波数検出手段と、

前記発振周波数検出手段によって検出した発振周波数と基準発振周波数とを比較することにより、前記発振周波数と前記基準発振周波数とが近づくように前記調整用周波数制御データを出し、最も両周波数が近づいた時に前記調整用周波数制御データを前記周波数制御データとして前記メモリに記憶するように前記接続制御回路を制御する調整用データ出力手段と、

を備えたことを特徴とする発振器調整システム。

【請求項18】 請求項6または9に記載の圧電発振器の発振周波数を調整する発振器調整方法において、前記発振回路に給電した状態で当該発振回路の発振周波数を検出するステップと、

検出された前記発振周波数と基準発振周波数とを比較することにより、前記発振周波数と前記基準発振周波数とが近づくように前記調整用周波数制御データを前記接続

制御回路に供給するステップと、

最も両周波数が近づいた時に前記調整用周波数制御データを前記周波数制御データとして前記メモリに記憶するように前記接続制御回路を制御するステップとを備えたことを特徴とする発振器調整方法。

【請求項19】 請求項9に記載の圧電発振器における前記電源と前記コンデンサと短絡する時間を調整する発振器調整システムにおいて、

前記発振回路に給電を行う給電手段と、

前記発振回路の発振状態を検出する発振状態検出手段と、

前記給電手段による給電が開始されてから前記発振状態検出手段によって発振状態が検出されるまでの発振起動時間を計測する計測手段と、
前記計測手段によって計測された発振起動時間が短くなるように前記調整用パルス制御データを出力し、最も前記発振起動時間が短くなった時に前記調整用パルス制御データを前記パルス制御データとして前記メモリに記憶するように前記接続制御回路を制御する調整用データ出力手段とを備えたことを特徴とする発振器調整システム。

【請求項20】 請求項9に記載の圧電発振器における前記電源と前記コンデンサと短絡する時間を調整する発振器調整方法において、

前記発振回路に給電を行うステップと、

前記発振回路の発振状態を検出するステップと、

給電が開始されてから発振状態が検出されるまでの発振起動時間を計測するステップと、
前記発振起動時間が短くなるように前記調整用パルス制御データを出力し、最も前記発振起動時間が短くなった時に前記調整用パルス制御データを前記パルス制御データとして前記メモリに記憶するように前記接続制御回路を制御するステップとを備えたことを特徴とする発振器調整方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、無線通信機器や測定器等に用いられる圧電発振器に関し、特に電源立ち上げ時の発振開始時間を短縮するのに好適な圧電発振器および発振周波数調整システム、発振周波数調整方法に関する。

【0002】

【従来の技術】従来、無線通信機器や測定器等に用いられる圧電発振器には図13に示すようなバイポーラトランジスタを用いたコルピツ型圧電発振回路が用いられてきた。図13の圧電発振回路は、圧電振動子XとトリマコンデンサC_T等によって発振周波数が定まるようになっており、下段のトランジスタQ1が発振に、上段のトランジスタQ2がベース接地増幅に用いられる。

【0003】この圧電発振回路は、カスコード増倍器の

形式で構成されており、トランジスタQ1のコレクタがローインピーダンスになるので、コレクタ側の容量が電流増幅率h_{ie}倍になってベース側に現れるミラー容量を低減することができる。このため、高周波発振に好適である。また、トランジスタの電流増幅率h_{ie}にはバラツキがあるので、トランジスタQ2を使用しない圧電発振回路では、ミラー容量のバラツキを吸収して所望の発振周波数を得るためトリマコンデンサC_Tの可変範囲を大きくする必要があったが、当該圧電発振回路では、トリマコンデンサC_Tとして可変範囲の狭いものを使用することができるという利点がある。

【0004】

【発明が解決しようとする課題】ところで、従来の圧電発振回路において、カスコード増幅の利点を活かすためには、所望の周波数帯域においてトランジスタQ2のエミッタ側がローインピーダンスになっていることが必要である。バイパスコンデンサCはこのために設けられたものであり、バイアス抵抗R1等とともにトランジスタQ2のベース側でローパスフィルタを構成している。ここで、従来の圧電発振回路に電源が投入された場合を考えると、トランジスタQ2のベース電圧は、直ちに定常状態に達するのではなく、バイアス抵抗R1およびバイパスコンデンサC等によって定まる時定数に従って徐々に上昇する。このため、各トランジスタQ1, Q2が正常にバイアスされ、発振回路として動作できるまでに時間がかかる。したがって、電源投入直後にあっては圧電振動子Xに流れる初期電流が小さくなり、発振起動時間が長くなる。この結果、従来の圧電発振回路では、電源投入後の振幅の成長や周波数の安定が遅れたり、発振の開始が遅れるなどの欠点があった。

【0005】本発明は、上述した事情に鑑みてなされたものであり、簡易な構成によって、発振起動時間を短縮する圧電発振回路を提供することを目的とする。また、中心周波数を正確に定めることができる圧電発振回路を提供することを目的とする。また、素子のバラツキを吸収して発振起動時間をより一層短縮した圧電発振回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記課題を解決するため請求項1に記載の発明にあっては、圧電発振器において、圧電振動子とバイアス回路によって与えられるバイアス電圧で動作する半導体とを有する発振回路と、前記バイアス回路に設けられ交流をバイパスするコンデンサと電源とを短絡するスイッチ回路と、前記発振回路への給電開始から一定時間が経過するまで、前記発振回路の前記コンデンサと前記電源とを短絡するように前記スイッチ回路を制御する制御回路とを備えたことを特徴とする。

【0007】また、請求項2記載の発明にあっては、前記制御回路は、前記発振回路への給電開始を検知して、

給電開始から一定時間を計測することにより制御信号を生成し、前記スイッチ回路は、前記制御信号に基づいてオン・オフが制御されることを特徴とする。また、請求項3記載の発明にあっては、前記制御回路を单安定マルチバイブレータにより構成したことを特徴とする。また、請求項4記載の発明にあっては、前記制御回路をカウンタにより構成したことを特徴とする。

【0008】また、請求項5記載の発明にあっては、予め定められた静電容量を有し、前記圧電振動子に接続される固定接続容量素子と、予め定められた静電容量を有する複数の選択接続容量素子と、前記複数の選択接続容量素子のうち、特定の前記選択接続容量素子を前記固定接続容量素子に並列に接続する容量接続回路とを備えた容量アレイを有することを特徴とする。

【0009】また、請求項6記載の発明にあっては、前記選択接続容量素子の前記固定接続容量素子に対する接続／非接続を制御するための周波数制御データを記憶するメモリと、外部からの調整用周波数制御データに基づいて前記メモリに予め前記周波数制御データを記憶させるとともに、前記調整用周波数制御データあるいは前記周波数制御データに基づいて前記容量接続回路を制御する接続制御回路と、を備えたことを特徴とする。

【0010】また、請求項7記載の発明にあっては、前記接続制御回路は、電源投入時には、一旦全ての前記選択接続容量素子を前記固定接続容量素子に対して接続状態とする起動時制御回路を備えたことを特徴とする。

【0011】また、請求項8記載の発明にあっては、前記電源と前記コンデンサと短絡する時間を制御するデータを書込みおよび読み出しが可能なデータ記憶回路を備え、前記制御回路は前記データ記憶回路から読み出した前記データに基づいて、前記制御信号を生成することを特徴とする。

【0012】また、請求項9記載の発明にあっては、前記メモリには、前記周波数制御データとともに前記電源と前記コンデンサと短絡する時間を制御するパルス制御データを記憶し、前記接続制御回路は、外部からの調整用パルス制御データに基づいて前記メモリに前記パルス制御データを予め記憶させるとともに、前記調整用パルス制御データあるいは前記パルス制御データに基づいて前記制御回路を制御することを特徴とする。

【0013】また、請求項10記載の発明にあっては、前記発振回路がバイポーラ発振回路であることを特徴とする。また、請求項11に記載の発明にあっては、前記圧電振動子は、水晶振動子であることを特徴とする。

【0014】また、請求項12記載の発明にあっては、前記圧電振動子を除く構成部品がワンチップICとして構成されていることを特徴とする。また、請求項13記載の発明にあっては、前記ワンチップICおよび前記圧電振動子が一のパッケージに収納されていることを特徴とする。また、請求項14記載の発明にあっては、前記

発振回路内に可変リアクタンス素子を備え、前記可変リアクタンス素子に供給する電圧を可変することによって、前記発振回路の発振周波数を調整することを特徴とする。また、請求項15記載の発明にあっては、前記圧電振動子および前記可変リアクタンス素子を除く構成部品がワンチップICとして構成されていることを特徴とする。また、請求項16記載の発明にあっては、前記ワンチップIC、前記圧電振動子および前記可変リアクタンス素子が一体として一のパッケージに収納されていることを特徴とする。

【0015】また、請求項17記載の発明にあっては、圧電発振器の発振周波数を調整する発振器調整システムにおいて、前記発振回路に給電した状態で当該発振回路の発振周波数を検出する発振周波数検出手段と、前記発振周波数検出手段によって検出した発振周波数と基準発振周波数とを比較することにより、前記発振周波数と前記基準発振周波数とが近づくように前記調整用周波数制御データを出力し、最も両周波数が近づいた時に前記調整用周波数制御データを前記周波数制御データとして前記メモリに記憶するように前記接続制御回路を制御する調整用データ出力手段と、を備えたことを特徴とする。

【0016】また、請求項18記載の発明にあっては、圧電発振器の発振周波数を調整する発振器調整方法において、前記発振回路に給電した状態で当該発振回路の発振周波数を検出するステップと、検出された前記発振周波数と基準発振周波数とを比較することにより、前記発振周波数と前記基準発振周波数とが近づくように前記調整用周波数制御データを前記接続制御回路に供給するステップと、最も両周波数が近づいた時に前記調整用周波数制御データを前記周波数制御データとして前記メモリに記憶するように前記接続制御回路を制御するステップと、を備えたことを特徴とする。

【0017】また、請求項19記載の発明にあっては、圧電発振器における前記電源と前記コンデンサと短絡する時間を調整する発振器調整システムにおいて、前記発振回路に給電を行う給電手段と、前記発振回路の発振状態を検出する発振状態検出手段と、前記給電手段による給電が開始されてから前記発振状態検出手段によって発振状態が検出されるまでの発振起動時間を計測する計測手段と、前記計測手段によって計測された発振起動時間が短くなるように前記調整用パルス制御データを出力し、最も前記発振起動時間が短くなった時に前記調整用パルス制御データを前記パルス制御データとして前記メモリに記憶するように前記接続制御回路を制御する調整用データ出力手段と、を備えたことを特徴とする。

【0018】また、請求項20記載の発明にあっては、記載の圧電発振器における前記電源と前記コンデンサと短絡する時間を調整する発振器調整方法において、前記発振回路に給電を行うステップと、前記発振回路の発振状態を検出するステップと、給電が開始されてから発振

状態が検出されるまでの発振起動時間を計測するステップと、前記発振起動時間が短くなるように前記調整用パルス制御データを出力し、最も前記発振起動時間が短くなつた時に前記調整用パルス制御データを前記パルス制御データとして前記メモリに記憶するように前記接続制御回路を制御するステップとを備えたことを特徴とする。

【0019】

【発明の実施の形態】A. 第1実施形態

以下、図面を参照しつつ本発明の一実施形態に係わる圧電発振回路を説明する。

1. 第1実施形態の構成

図1は、第1実施形態に係わる圧電発振回路の回路図である。図において、圧電発振回路1は、発振部10' とパルス発生部20から構成されている。発振部10' は、バイパスコンデンサCと電源VCCの間にスイッチSWが設けられた点を除いて、図13に示す従来の圧電発振回路と同様である。このスイッチSWは、制御パルスPによって制御され、制御パルスPがハイレベルの時にオン状態となり、制御パルスPがローレベルの時にオフ状態になるように構成されている。

【0020】パルス発生部20は、単安定マルチバイブルレータMMと、その外付部品であるコンデンサCaおよび抵抗Raとによってから構成されている。そして、コンデンサCaと抵抗Raによって遅延時間t1が設定されるようになっている。

【0021】単安定マルチバイブルレータMMは、電源電圧Vccの立ち上がりを検出して、ローレベルからハイレベルに立ち上がり、一定時間ハイレベルを維持した後、ローレベルに立ち下がり、その後、ローレベルを維持する制御パルスPを生成する。ここで、遅延時間t1は、確実に発振を開始でき、かつ起動時間を最も短くできるように実験によって選ばれる。したがって、発振部10' に電源が投入されてから所定期間が経過するまでは、スイッチSWはオン状態となるので、バイアス抵抗R1およびバイパスコンデンサCより構成されるローパスフィルタをパスすることができる。これにより、圧電振動子Xに大きな初期電流を流すことが可能となり、発振起動時間を短縮しつつ発振が安定するまでの時間を短縮することが可能となる。

【0022】2. 第1実施形態の動作

図2は、第1実施形態に係わる圧電発振回路のタイミングチャートであり、この図を参照しつつ、圧電発振回路1の動作を説明する。まず、時刻T1において、圧電発振回路1に給電が行われたとすると、電源電圧Vccは図2(a)に示すように時刻T1において立ち上がる。すると、この立ち上がりエッジe1を単安定マルチバイブルレータMMが検知して、図2(b)に示すように時間t1だけ遅延させた制御パルスPを生成し、これがスイッチSWに供給される。ここで、スイッチSWは、上述した

ように制御パルスPがハイレベルの時にオン状態となり、制御パルスPがローレベルの時にオフ状態になるので、時刻T1から、時間t1が経過するまでは、オン状態となる。この場合、バイアス抵抗R1はスイッチSWにより短絡されるので、バイアス抵抗R1およびバイパスコンデンサCにより構成される時定数回路を介していた場合と比較して、圧電振動子Xにより大きな初期電流を流すことが可能となる。

【0023】この場合、遅延時間t1は、上述したように確実に発振を開始でき、かつ起動時間を最も短くできるように設定されているので、図2(c)に示すような発振信号SOSCを生成する。ここで、比較のために図2(d)にスイッチSWを使用しない場合の発振信号SOSC'を示す。図2(c)と図2(d)を比較すると、スイッチSWを使用した方が、時間t2だけ早く発振を開始することがわかる。また、図2(c), (d)に示すように発振信号SOSC, SOSC'の振幅は徐々に大きくなり、発振周波数も安定するが、電源投入から安定した発振信号SOSC, SOSC'が生成されるまでの時間もスイッチSWを使用した方が短いことがわかる。

【0024】例えば、t1=50 μsecに設定したところ、周波数偏差が0.1ppm以内に収束するまでの時間は、スイッチSWを使用しない場合では9.89 msecとなるが、スイッチSWを使用した場合には3.39 msecとなることを本発明者は実験によって確認した。すなわち、スイッチSWを使用することによって、安定した発振信号SOSCを得るまでの時間を約40%短縮することができる。

【0025】このように本実施形態によれば、電源投入から所定時間が経過するまで、バイアス回路に設けられたバイパスコンデンサCと電源VCCとを短絡するようにしたので、発振開始までの時間を短縮することができ、かつ、発振信号SOSCが安定するまでの時間を短縮することができる。したがって、この圧電発振回路1を無線通信機や測定器に応用すれば、機器の安定に要する時間を短縮させることができる。

【0026】B. 第2実施形態

1. 第2実施形態の構成

1-1: 全体構成

第2実施形態は、発振周波数が安定するまでの時間および発振起動時間を短縮するのに好適な電圧制御型圧電発振回路に関する。図3は、第2実施形態に係わる電圧制御型圧電発振回路の回路図である。

【0027】図において、電圧制御型圧電発振回路2は、パルス発生部20と発振部30から構成されている。パルス発生部20の構成は、上述した第1実施形態と同様であり、発振部30が第1実施形態の発振部10' と相違する。

【0028】この発振部30において、周波数制御端子VCには、出力端子OUTから出力される発振信号SOSCの

発振周波数 f_{OSC} を変化させるために制御電圧 V_C が印加されるようになっている。また、制御電圧 V_C は一端が周波数制御端子 V_C に接続された入力抵抗 R_i を介して供給されるようになっており、これにより、周波数制御端子 V_C に接続する発振周波数制御回路（図示せず）を発振回路 30 と組合結することができる。

【0029】次に、入力抵抗 R_i の他端には圧電振動子 X の一端が接続されており、また、入力抵抗 R_i と圧電振動子 X の中間接続点には可変リアクタンス素子として機能する可変容量ダイオード（以下、バリキャップという。） C_V のカソード端子が接続されている。このバリキャップ C_V のアノード端子と低電位側電源 GND の間に、所望の容量を有する一つのコンデンサと等価な働きをする容量アレイ CARY が接続されている。なお、容量アレイ CARY は容量アレイユニットとして機能し、その詳細構成については後述する。

【0030】次に、メモリ 21 には、周波数制御データ DCTL が格納されており、周波数制御データ DCTL に基づいて、通常動作時に容量アレイ CARY のスイッチ $S_1 \sim S_n$ のオン／オフ制御が行われるようになっている。

【0031】次に、制御回路 22 は、調整用データ入力端子 T1～T3 を有し、スイッチ $S_1 \sim S_n$ とメモリ 21 とに接続されている。制御回路 22 は、調整動作時に調整用データ入力端子 T1～T3 から入力される調整用周波数データ DADJ に基づいて容量アレイ CARY を構成するスイッチ $S_1 \sim S_n$ のオン／オフ制御を行い、調整終了後に周波数制御データ DCTL をメモリ 21 に格納するとともに、通常動作時には、メモリ 21 に格納された周波数制御データ DCTL に基づいてスイッチ $S_1 \sim S_n$ のオン／オフ制御を行うように構成されている。

【0032】次に、バリキャップ C_V と容量アレイ CARY との中間接続点と低電位側電源 GND にはバイアス抵抗 RX が設けられており、これによりバリキャップ C_V が逆バイアスされ、バリキャップ C_V は制御電圧 V_C に応じた容量値を示すようになる。

【0033】次に、高電位側電源 VCC と低電位側電源 GND の間には、第 1～第 3 のバイアス抵抗 R1～R3 が設けられている。第 1 のバイアス抵抗 R1 と第 2 のバイアス抵抗 R2 の接続点はトランジスタ Q2 のベース端子に、第 2 のバイアス抵抗 R2 と第 3 のバイアス抵抗 R3 の接続点はトランジスタ Q1 のベース端子に各々接続されている。

【0034】次に、トランジスタ Q2 のベース端子は、バイパスコンデンサ C を介して接地されている。このため、トランジスタ Q2 はベース接地増幅器を構成しており、そのエミッタ端子がトランジスタ Q1 のコレクタ端子に接続されている。トランジスタ Q1 のエミッタ端子は、エミッタ抵抗 Re と第 2 発振用コンデンサ C02 を介して低電位側電源 GND に接続されており、また、エミッタ電圧が第 1 発振用コンデンサ C01 を介してベース端

子に正帰還されるようになっている。

【0035】以上の構成において、電源 VCC が投入されると、電源投入をパルス発生部 20 が検知して制御パルス P を生成する。制御パルス P がスイッチ SX に供給されると、スイッチ SX はオン状態になるから、第 1 実施形態と同様に発振起動時間が短縮され、また、安定した発振が得られるまでの時間が短縮される。

【0036】1-2：容量アレイ CARY の構成
容量アレイ CARY は、バリキャップ C_V のアノード端子に一端が接続され、他端が低電位側電源 GND に接続され、固定容量素子として機能し、容量アレイ CARY の最低限度の容量を確保するためのベースコンデンサ C0 と、容量アレイ CARY の容量を可変とするための選択接続容量素子として機能する n 個のコンデンサ CX ($X=1 \sim n$) と、対応するコンデンサをベースコンデンサ C0 に並列接続するためのスイッチ SX ($X=1 \sim n$) と、を備えて構成されている。

【0037】この場合において、コンデンサ C1～Cn の容量は、全て同一であってもよいし、互いに異なるようにもよい。さらに互いに異なる場合には、各コンデンサ CX の容量を予め設定した基本容量の 2^X 倍となるように設定すれば広範囲の容量を設定することが可能である。

【0038】また、スイッチ $S_1 \sim S_n$ は、電圧制御型圧電発振回路を IC 化する場合には、使用する半導体製造プロセスにより、例えば、以下のよう構成が考えられる。

- ① 半導体製造プロセスとして、バイポーラプロセスを用いる場合には、スイッチ $S_1 \sim S_n$ を、図 4 に示すように、バイポーラトランジスタ構成とする。
- ② 半導体製造プロセスとして、CMOS プロセスを用いる場合には、スイッチ $S_1 \sim S_n$ を、図 4 に示すように、MOSトランジスタ構成とする。
- ③ 高周波対応の IC の半導体製造プロセスとして盛んに使用されているバイポーラ & CMOS 混在プロセス (Bi-CMOS プロセス) を用いる場合には、スイッチ $S_1 \sim S_n$ は、図 4 に示すバイポーラトランジスタ構成および図 4 に示す MOSトランジスタ構成のいずれをも採用することが可能である。ただし、低消費電流化の観点からはトランジスタをオンするために定常的に電流を流す必要のない MOSトランジスタ構成とする方が有利である。なぜなら、MOSトランジスタは電圧制御素子であるので、MOSトランジスタがオンするのに十分なレベルの電圧をゲート端子に印加すれば良く、ゲート端子から低電位側電源 GND に定常的に流れる電流はないからである。これに対し、バイポーラトランジスタ構成とすると、選択状態におけるトランジスタのオン抵抗を下げるために、ベース端子—低電位側電源 GND 間に十分な電流を流してやる必要があるからである。なお、この点については、電源 VCC とバイパスコンデンサ C を短絡

するためのスイッチSWについても同様である。さらに圧電振動子Xは、物理的にも化学的にも安定しており、特に温度変動に対して優れた安定性を示す水晶振動子を用いていることが好ましい。また、メモリ21は、EEPROM、EPROM、ヒューズタイプROMなどに代表される不揮発性の半導体メモリにより構成することが可能である。

【0039】1-3：中心発振周波数f0の自動調整システム

図6に電圧制御型圧電発振回路の中心発振周波数f0の自動調整システムの概要構成ブロック図を示す。自動調整システムAは、電圧制御型圧電発振回路2、基準電圧印加装置31、および中心発振周波数(f0)調整装置32から構成されている。まず、基準電圧印加装置31は、所定の基準中心発振周波数f0REFに対応する較正した基準制御電圧VCREFを出力するように構成されており、基準制御電圧VCREFが周波数制御端子VCに供給されるようになっている。

【0040】次に、中心発振周波数調整装置32は、パソコンやコンピュータなどで構成されており電圧制御型圧電発振回路2の出力端子OUTに接続され、較正した基準制御電圧VCREFを周波数制御端子VCに印加した状態で出力端子OUTから出力される発振信号SOSCの発振周波数f0SC(=中心発振周波数f0に相当)を検出し、予め設定した基準中心発振周波数f0REFと比較することにより、容量アレイCARYを構成するスイッチのオン/オフを制御するための調整用周波数データDADJを生成し調整用端子T1~T3を介して電圧制御型圧電発振回路2に対し出力するように構成されている。

【0041】2. 第2実施形態の動作

2-1：調整時の動作

次に、自動調整システムAを用いた発振信号SOSCの発振周波数f0SCの調整動作を説明する。まず、基準電圧印加装置31は、所定の基準中心発振周波数f0REFに対応する較正した基準制御電圧VCREFを周波数制御端子VCに印加する。この基準制御電圧VCREFの印加して、中心発振周波数調整装置32は、出力端子OUTから出力される発振信号SOSCの発振周波数f0SC(=中心発振周波数f0に相当)を検出する。そして、基準制御電圧VCREFに対応する、予め設定した基準中心発振周波数f0REFと比較する。

【0042】この場合、中心発振周波数調整装置32は、基準中心発振周波数f0REFと基準制御電圧VCREFにおける発振周波数f0SCとの周波数差がほぼ零となるよう発振回路側の負荷容量CLを算出し、算出結果に基づいて容量アレイCARYを構成するスイッチのオン/オフを制御するための調整用周波数データDADJを生成して調整用端子T1~T3を介して電圧制御型圧電発振回路2に対し出力する。これにより、電圧制御型圧電発振回路2の制御回路22は、調整用データ入力端子T1~

T3から入力される調整用周波数データDADJに基づいて容量アレイCARYを構成するスイッチS1~Snのオン/オフ制御を行う。

【0043】これにより再び、中心発振周波数調整装置32は、出力端子OUTから出力される発振信号SOSCの発振周波数f0SC(=中心発振周波数f0に相当)を検出し、基準制御電圧VCREFに対応する、予め設定した基準中心発振周波数f0REFと比較し、周波数差がほぼ零となるまで同様の処理を繰り返す。そして、周波数差がほぼ零となると、調整用周波数データDADJを所定期間以上保持する。これにより制御回路22は、中心発振周波数f0の自動調整が終了したことを検知して、調整終了時の調整用周波数データDADJに対応する周波数制御データDCTLをメモリに21に格納する。

【0044】メモリ21は、制御回路22により格納された周波数制御データDCTLを次に周波数制御データDC TLが更新されるまで、保持し続けることとなる。以上の説明においては、制御回路22が独自に自動調整が終了したことを検知して、調整終了時の調整用周波数データDADJに対応する周波数制御データDCTLをメモリに21に格納する構成としていたが、発振中心周波数調整装置32側で、調整が終了した旨を調整用データDADJに含めて通知するように構成し、この通知がなされた時点で、制御回路22が調整用周波数データDADJに対応する周波数制御データDCTLをメモリに21に格納する構成とすることも可能である。

【0045】2-2：通常時の動作

次に、図3を参照して、電圧制御型圧電発振回路2の通常時の動作について説明する。発振部30の電源が投入されると、パルス発生部20は高電位側電源VCCの電圧を検出することにより、電源投入タイミングを検知し、時間t1だけハイレベルとなる制御パルスPを生成する。制御パルスPがスイッチSWに供給されると、スイッチSWがオン状態になり、圧電振動子Xに大きな初期電流を流すことが可能となる。また、制御回路22はメモリ21に格納されている周波数制御データDCTLを読み出し、周波数制御データDCTLに対応するスイッチSXのみをオン状態として、他のスイッチはオフ状態とする。

【0046】この後、時間t1が経過すると制御パルスPがローレベルとなり、スイッチSWがオフ状態となる。これにより、トランジスタQ2のベースに、ごく短時間で正規のバイアス電圧が印加される。したがって、電源投入から発振開始までの時間を短縮することができ、また、発振が安定するまでの時間を短縮することができる。

【0047】そして、調整動作により調整された中心発振周波数f0を中心とし、制御電圧VCに対応する発振周波数f0SCを有する発振信号SOSCが出力端子OUTから出力されることとなる。

【0048】この場合、電圧制御型圧電発振回路2の制

御回路22は、電源が投入されると、一旦、容量アレイCARYを構成するスイッチS1～Snを全てオン（閉）状態とするようにしても良い。これは、容量アレイCARYのインピーダンスが最小となり発振が容易となるので、電圧制御型圧電発振回路2の出力端子OUTから出力される発振信号SOSCの発振周波数fOSCを迅速に安定状態に向かわせるためである。これにより、発振起動時間をより短縮できる。そして、予め設定した時間が経過すると、制御回路22はメモリ21から周波数制御データDCTLを読み出し、周波数制御データDCTLに基づいてスイッチSXを制御する。この結果、調整動作により調整された中心発振周波数f0を中心とし、制御電圧Vcに対応する発振周波数fOSCを有する発振信号SOSCが出力端子OUTから出力されることとなる。

【0049】3. 第2実施形態の効果

①圧電振動子にバラツキがあっても、電圧制御型圧電発振器として組み上げた際に発振周波数fOSCを基準周波数fREFに合わせることが容易となる。従って、圧電振動子の製造規格を緩和することができ、圧電振動子のコストを削減することができ、ひいては、電圧制御型圧電発振器の製造コストを低減することが可能となる。また、バリキャップによる周波数可変量が確保し易いため、調整が容易となる。さらに容量アレイCARYの容量設定値によるfosc-Vc特性の可変レンジの差異が少ない

ため、容易に所望の電圧制御型圧電発振器を構成することができる。

【0050】②容量アレイCARYを用いることにより、電圧制御型圧電発振器をトリマ・レスで構成でき、外付け部品を1個削減することができ、組立コストを削減することが可能となる。

③トリマに比較して安価な容量アレイを使用することにより、低価格の電圧制御型圧電発振器を実現することが可能となる。

④従来のトリマを用いた圧電発振器は、トリマが機械的動作部を有するため小型化には限界があったが、容量アレイCARYは、ICに内蔵可能であり、電圧制御型圧電発振器の小型化に有利となる。

【0051】⑤従来のトリマを用いた圧電発振器と比較して、容量アレイCARYを用いた電圧制御型圧電発振器は、経時変化および動作微細的に安定であり、圧電発振回路の動作を安定化することが可能となる。

⑥発振中心周波数調整作業は、中心発振周波数調整装置32がデジタルデータである調整用データDADJを出力することにより、電気的調整のみで行うことが可能であり、従来のように機械的調整を行う必要がないので、中心発振周波数調整時間の短縮が可能となり、ひいては、電圧制御型圧電発振器の製造コストを低減することが可能となる。さらに、従来のように、トリマを調整するための複雑かつ高価なサーボ機構を必要としないため、製造設備投資を低減することも可能となる。

【0052】4. 第2実施形態の変形例

上記説明においては、圧電振動子XおよびバリキャップCvをディスクリート部品として取り扱っていたが、圧電振動子XとバリキャップCvとを直列接続とし、圧電振動子Xを除く構成部品をワンチップICとして構成したり、モールド封止、あるいは、一のパッケージに収納する構成すれば電圧制御発振器の組立工程を簡略化することが可能となる。

【0053】また、ベースコンデンサC0を容量アレイCARYの構成とせずに、コンデンサC1～Cn、スイッチS1～Snのみを容量アレイBARY' とし、容量アレイBARY'、メモリ21、制御回路22を一体化したICとして外付けするように構成することも可能である。さらに容量アレイCARYまたは容量アレイBARY'のみをICとして外付けするように構成することも可能である。これにより容量アレイBARY'を新たに作成するだけで、様々なfOSC-Vc特性を有する電圧制御型圧電発振回路を構成することができる。また、以上の説明においては、容量アレイCARYを構成するスイッチS1～Snをトランジスタで構成していたが、あまり高精度を望まないのであれば、スイッチS1～Snをヒューズ素子で構成し、調整時に確定的にスイッチを切断してしまう構成としても可能である。

【0054】C. 第3実施形態

上述した第1、第2実施形態において、制御パルスPのパルス幅、すなわち、バイパスコンデンサCと電源VCCとを短絡する時間は、個別の圧電発振回路毎に調整するものではなく、実験によって求めた代表値を設定するものであった。これに対して、第3実施形態は、制御パルスPのパルス幅を発振起動時間が最も短縮できるよう圧電発振回路毎に調整するものである。

【0055】1. 第3実施形態の構成

1-1：全体構成

図7に、第3実施形態に係る電圧制御型圧電発振回路の回路図を示す。この電圧制御型圧電発振回路3は、制御回路22がパルス発生部20'を制御する点、メモリ21が周波数調整用の周波数制御データDCTLの他に制御パルスPのパルス幅を制御するパルス制御データDCTL'を記憶する点を除いて、第2実施形態の電圧制御型圧電発振回路2と同様である。

【0056】1-2：パルス発生部の構成

次に、図8に第3実施形態に係るパルス発生部20'の回路図を示す。このパルス発生部20'は、コンデンサCaの替わりに容量アレイCARY'を用いる点が、図1に示す第1実施形態のパルス発生部20と相違する。单安定マルチバイブレータMMの遅延時間t1(図2(b)参照)は、スイッチSX'のオン/オフに応じて定まる容量アレイCARY'の値と抵抗Raによって定まるので、スイッチSX'のオン/オフを制御することによって、制御パルスPのパルス幅を調整することが可能とな

る。

【0057】1-3：自動調整システム

図9に電圧制御型圧電発振回路の自動調整システムの概要構成ブロック図を示す。自動調整システムBは、電圧制御型圧電発振回路3、基準電圧印加装置31、電源投入装置33および調整装置32'から構成されている。まず、基準電圧印加装置31は、所定の基準中心発振周波数 f_{CREF} に対応する較正した基準制御電圧 V_{CREF} を出力するように構成されており、基準制御電圧 V_{CREF} が周波数制御端子 VC に供給されるようになっている。また、電源投入装置33は、調整装置32'からの制御信号に基づいて電源投入を行うように構成されている。

【0058】次に、調整装置32'は、第2実施形態の中心発振周波数調整装置32の機能に加えて、制御パルスPのパルス幅を調整する機能を併せ持つ。具体的には、中心周波数の調整を行った後、電源投入装置33に制御信号を供給して電圧制御型圧電発振回路3に給電を行う。そして、発振信号 $SOSC$ の振幅を検知することによって、電源投入から発振開始までの発振起動時間を検出し、これが最も短縮されるように容量アレイ $CARY'$ を構成するスイッチ SX' のオン／オフを制御するための調整用パルスデータ $DADJ'$ を生成し調整用端子 $T1 \sim T3$ を介して電圧制御型圧電発振回路3に対し出力するように構成されている。

【0059】2. 第3実施形態の動作

2-1：調整時の動作

次に、自動調整システムBを用いた調整動作を説明する。まず、第2実施形態と同様に中心発振周波数の調整動作を行う。次に、制御パルスPのパルス幅を調整する動作を行う。この場合、基準電圧印加装置31は、基準制御電圧 V_{CREF} を周波数制御端子 VC に印加する。この後、調整装置32'が、初期値の調整用パルスデータ $DADJ'$ を調整用端子 $T1 \sim T3$ に与えるとともに電源投入装置33を制御して、電圧制御型圧電発振回路3に対して電源投入を行う。次に、調整装置32'は、出力端子 OUT から出力される発振信号 $SOSC$ を検出して、発振起動時間を測定する。

【0060】この後、調整用パルスデータ $DADJ'$ の値をずらしながら、発振起動時間を繰り返し測定し、最も発振起動時間が短くなる調整用パルスデータ $DADJ'$ を求める。この後、最終的な調整用パルスデータ $DADJ'$ に調整が終了した旨を含めて電圧制御型圧電発振回路3に通知する。すると、制御回路22が調整用パルスデータ $DADJ'$ に対応するパルス制御データ $DCTL'$ をメモリに21に格納する。これにより、発振起動時間を最も短縮するパルス幅を予め記憶することができる。

【0061】2-2：通常時の動作

次に、図7を参照して、電圧制御型圧電発振回路3の通常時の動作について説明する。発振部30の電源が投入されると、制御回路22はメモリ21に格納されている

パルス制御データ $DCTL'$ を読み出し、パルス発生部20'のスイッチ SX' のオン／オフを制御する。これにより、当該電圧制御型圧電発振回路3に固有の制御パルスPのパルス幅が設定される。

【0062】また、制御回路22はメモリ21に格納されている周波数制御データ $DCTL$ を読み出し、当該電圧制御型圧電発振回路3に固有の容量値を設定する。これにより、発振中心周波数は調整済みのものを使用することが可能となる。

【0063】次に、パルス発生部20'は高電位側電源 VCC の電圧を検出することにより、電源投入タイミングを検知すると、制御パルスPを生成しスイッチ SW をオン状態にする。すると、バイアス抵抗 $R1$ が短絡されるので、バイパスコンデンサCに大きな充電電流が流れ込み、その端子電圧が急速に上昇する。制御パルスPがローレベルになると、スイッチ SW はオフ状態となり、トランジスタ $Q1, Q2$ のバイアス電圧は、定常状態に設定される。このため、発振起動時間や発振が安定するまでの時間を短縮することが可能となる。

【0064】そして、調整動作により調整された中心発振周波数 f_0 を中心とし、制御電圧 VC に対応する発振周波数 f_{OSC} を有する発振信号 $SOSC$ が出力端子 OUT から出力されることとなる。

【0065】このように第3実施形態にあっては、制御パルスPの生成タイミングを自動調整できるので、発振起動時間をより短縮することが可能となる。また、バイパスコンデンサCにバラツキがあってもこれを吸収することができ、また、抵抗 Ra およびコンデンサ Ca にバラツキがあっても、電圧制御型圧電発振器として組み上げた際に時定数を合わせることが容易となる。従って、バイパスコンデンサCや抵抗 Ra の製造規格を緩和することができ、コストを削減することができ、ひいては、電圧制御型圧電発振器の製造コストを低減することが可能となる。

【0066】また、周波数調整用の周波数制御データ $DCTL$ を記憶するメモリ21にパルス制御データ $DCTL'$ を格納するようにしたので、記憶手段を兼用することができる。また、発振部30の容量アレイ $CARY$ を制御する制御回路22によって、パルス発生部20'を制御するようにしたので、特別な構成を追加することなく、制御パルスPのパルス幅を自動調整できる。

【0067】D. 変形例

本発明は、上述した実施形態に限定されるものではなく、例えば、以下のような各種の変形例が可能である。

【0068】(1) また各実施形態においては、容量アレイ $CARY$ の構成として、容量アレイ $CARY$ の容量を可変とするための選択接続容量素子として機能する n 個のコンデンサ CX ($X=1 \sim n$) を設ける構成としていたが、図10に示すように、コンデンサ CX (=選択接続容量素子) をベース副コンデンサ $CX0$ を含む複数の副コンデ

ンサCX0、CX1～CX_m (=副選択接続容量素子、m=自然数)で構成し、各副コンデンサCX1～CX_mを対応する副接続スイッチSX1～SX_mを切り替えるようにして、副コンデンサCX0、CX1～CX_mを接続あるいは非接続として容量アレイCARYの容量調整を行うように構成することも可能である。この結果、より容量値の微調整を行うことが可能となる。

【0069】(2) また各実施形態においては、バリキヤップCvと容量アレイCARYとを直列接続する場合について説明したが、バリキヤップCvに対し、容量アレイCARYを並列に接続するように構成することも可能である。

【0070】(3) また各実施形態において、圧電発振器を構成する素子の実装状態については、言及していないかったが、例えば、図11に示すように圧電発振器を構成してもよい。この場合には、圧電振動子XおよびバリキヤップCvを除く構成部品をワンチップIC51として構成し、さらにワンチップIC51、圧電振動子XおよびバリキヤップCvをモールド封止した構成となっている。このような構成が実現可能となっているのは、容量アレイCARYによる発振中心周波数f0の調整範囲を大きく取ることができるため、ワンチップIC、圧電振動子XおよびバリキヤップCvをモールド封止した状態でも、圧電振動子XおよびバリキヤップCvのばらつきを容易に吸収して、所望の発振中心周波数f0を得ることができるのである。これにより、部品点数を削減して、組立工数および製造コストを削減することが可能となる。

【0071】(4) 上記した変形例(3)は、圧電振動子XおよびバリキヤップCvを除く構成部品をワンチップIC51として構成し、さらにワンチップIC51、圧電振動子XおよびバリキヤップCvをモールド封止した構成となっていたが、本実施形態は、圧電振動子Xを除く構成部品(バリキヤップCvを含む)をワンチップIC52として構成し、さらにワンチップICおよび圧電振動子Xをモールド封止した構成となっている。これにより、より部品点数を削減して、組立工数および製造コストを削減することが可能となる。

【0072】(5) また、上述した各実施形態においては、パルス発生部20、20'を単安定マルチバイブレータMMを用いて構成したが、本発明はこれに限定されものではなく、発振部への給電開始から一定時間が経過するまで、バイパスコンデンサCと電源VCCとを短絡するのであればどのようなものであってもよい。例えば、カウンタ回路を用いてパルス発生部20、20'を構成してもよい。この場合には、カウンタ回路で発振部への電源投入開始から外部クロックを計測し、計測結果が一定値に達するとリップルキャリー信号を発生するよう構成し、電源VCCの立ち上がりから、このリップルキャリー信号が生成されるまでの期間、ハイレベルとな

るよう刻御パルスDを生成すればよい。カウンタ回路を用いる場合には、外部クロックが必要となるが、電子機器には複数のクロック信号で動作するものが多數ある。そのような機器においては、消費電力を削減するために、不要なクロック発生器の電源を遮断することができる。そのような場合には、カウンタ回路を用いたパルス発生部20、20'が好適である。

【0073】

【発明の効果】以上説明したように本発明によれば、発振回路への給電開始から一定時間が経過するまで、発振回路のコンデンサと電源とを短絡するようにしたので、発振起動時間および発振が安定するまでの時間を大幅に短縮することができる。また、圧電振動子にバラツキがあっても、発振回路として組み上げた際に中心発振周波数を容易に合わせることができる。よって圧電振動子の製造規格が緩和され、圧電振動子のコスト削減が可能、更には圧電発振器のコスト削減が可能となる。容量アレイを用いることにより、電圧制御型圧電発振器をトリマ・レスで構成でき、外付け部品を1個削減することができ、組立コストを削減することができる。また、発振中心周波数調整作業は、電気的調整のみで行うことが可能であり、従来のように機械的調整を行う必要がないので、中心発振周波数調整時間の短縮が可能となり、ひいては、電圧制御型圧電発振器の製造コストを低減することができる。さらに、制御信号も自動調整することができるので、素子のバラツキを吸収して、発振起動時間および発振が安定するまでの時間をより一層短縮することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係わる圧電発振回路の回路図である。

【図2】 同実施形態に係わる圧電発振回路のタイミングチャートである。

【図3】 本発明の第2実施形態に係わる電圧制御型圧電発振回路の回路図である。

【図4】 容量アレイを構成するスイッチをバイポーラトランジスタにより構成した場合の説明図である。

【図5】 容量アレイを構成するスイッチをMOSトランジスタにより構成した場合の説明図である。

【図6】 同実施形態に係わる中心発振周波数調整システムの構成図である。

【図7】 第3実施形態の電圧制御型圧電発振回路の構成図である。

【図8】 同実施形態のパルス発生部の回路図である。

【図9】 同実施形態に係わる調整システムの構成図である。

【図10】 変形例に係わる容量アレイの構成例を示す図である。

【図11】 変形例に係わる電圧制御型圧電発振回路の斜視図である。

【図12】 变形例に係る電圧制御型圧電発振回路の斜視図である。

【図13】 従来例の圧電発振回路の回路図である。

【符号の説明】

- 1…圧電発振回路
- 2, 3…電圧制御型圧電発振回路
- 10'…発振部（発振回路）
- 20'…パルス発生部（制御回路）
- 21…メモリ
- 22…制御回路

31…基準電圧印加装置

32…発振中心周波数調整装置

32'…調整装置

CARY…容量アレイ

C1~Cn…コンデンサ（選択接続容量素子）

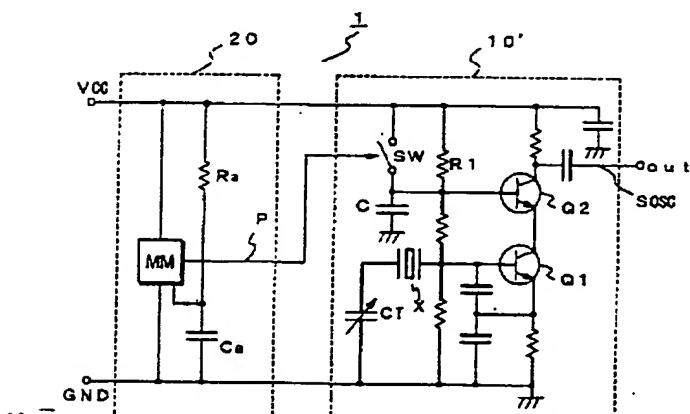
C0…ベースコンデンサ（固定接続容量素子）

DADJ, DADJ'…調整用データ

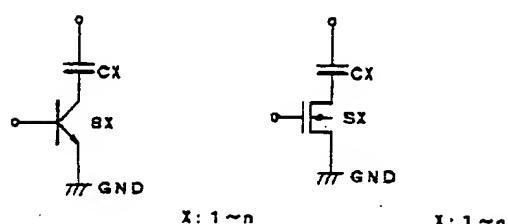
DCTL, DCTL'…制御用データ

SOSC…発振信号

【図1】

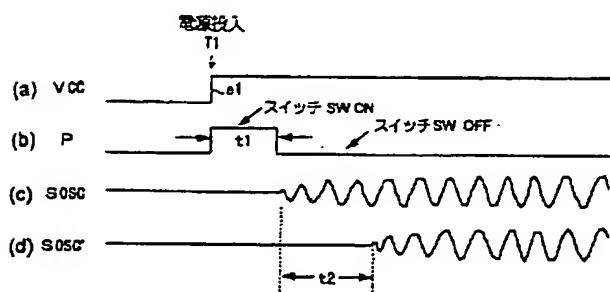


【図4】

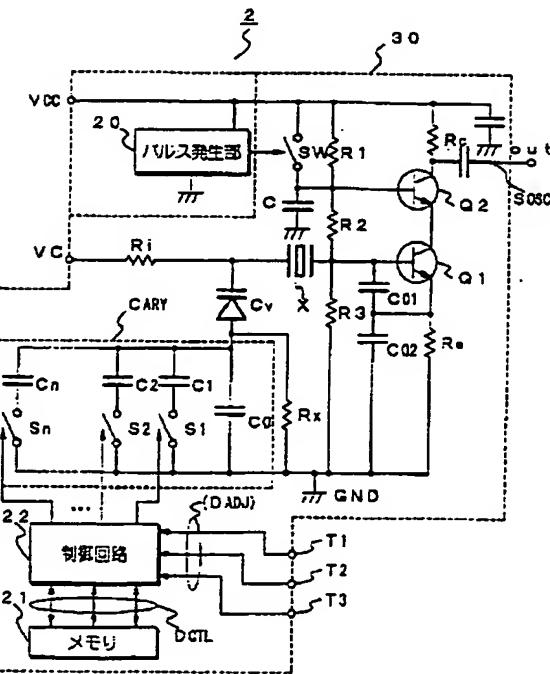


【図5】

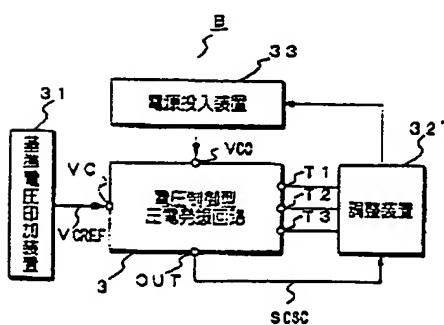
【図2】



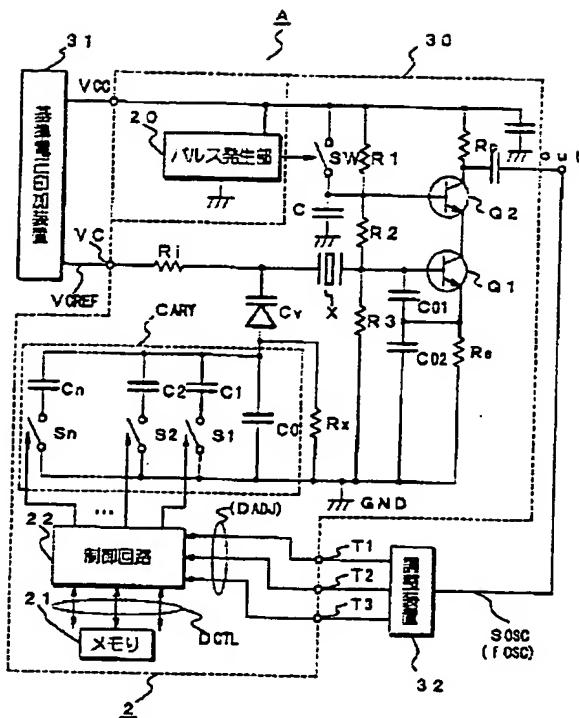
【図3】



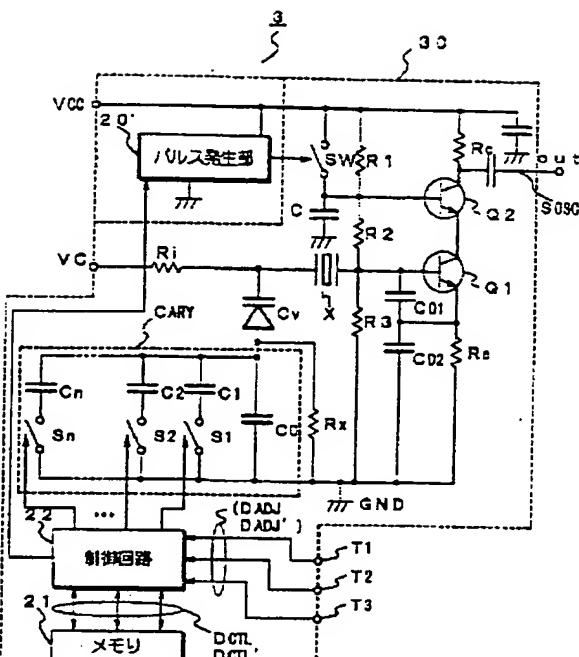
【図9】



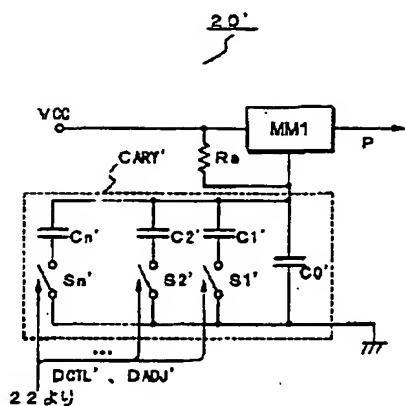
〔圖6〕



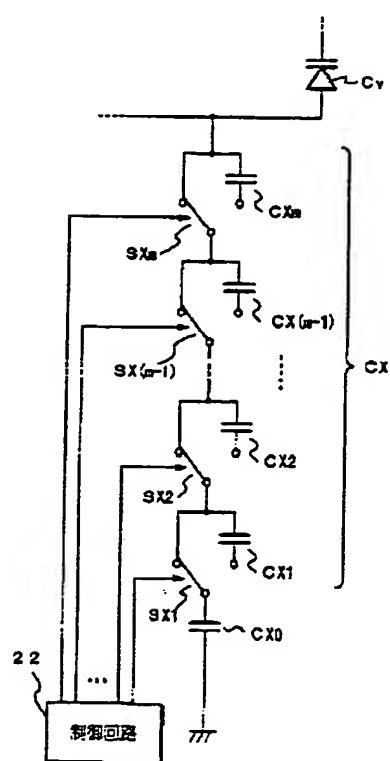
【図7】



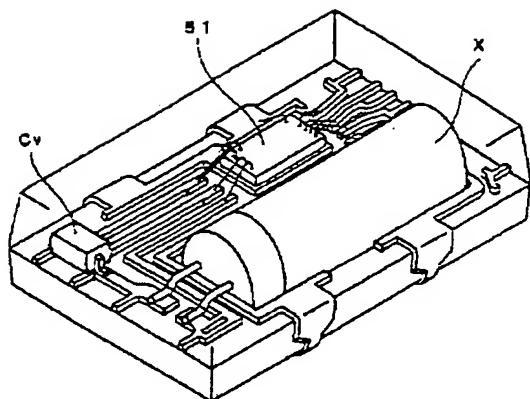
【图8】



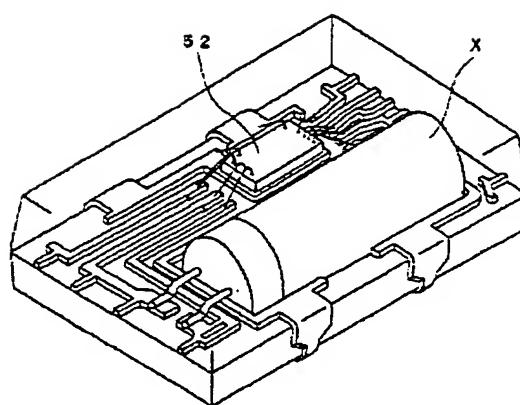
【图10】



【図11】



【図12】



【図13】

